

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

WiFi für einen Dollar

Mit dem ESP32-S2 erweitert Espressif seine Modellpalette

Am 22. Juli 2019 wurden erstmalig die Aktien der Firma Espressif unter dem Ticker 688018 zu einem Ausgabepreis von 62,60 Yuan (etwa US\$ 9,10) am neu geschaffenen STAR-Segment der Börse Shanghai notiert. Damit setzte sich die erstaunliche Erfolgsgeschichte eines jungen chinesischen Unternehmens fort, das erst 10 Jahre zuvor von Teo Swee Ann¹ gegründet wurde und mit seinen IoT System-on-Chips die Branche



Abbildung 1: Espressifs CEO Teo Swee-Ann anlässlich des Börsengangs seines Unternehmens im STAR-Segment der Börse Shanghai

weltweit durcheinander gewirbelt hat. Als fast schon legendär ist dabei der ESP8266 zu bezeichnen, der in der Maker-Community großen Zuspruch fand und den Erfolg von Espressif zweifelsohne mitbegründete. Ähnlich dem Raspberry Pi in der „Schwer- gewichtsklasse“ überzeugten bei den Espressif SoCs der niedrige Preis im Bereich von Taschengeld, spannende Referenz- designs aber vor allem auch die Philosophie

der Open Community, die ihre Entwicklungsprojekte weltweit kostenlos zur Verfügung stellt.

Wurde der ESP8266 teilweise noch als Bastelkram belächelt, folgte dann mit dem Zweikern-SoC ESP32 im September 2016² ein wesentlich leistungsfähigerer Baustein, der nun in der Lage war, komplexe Aufgaben- stellungen im Bereich des IoTs autonom zu bewältigen. Unterstützt mit einem umfangreichen Software Repository einschließlich eigenem RTOS fand der ESP32, eingesetzt als direkt implementierter Chip oder in

¹ Siehe: <https://www.espressif.com/en/company/about-us/ceo-letter>

² Siehe: https://www.espressif.com/en/media_overview/news/espressif-announces-launch-esp32-cloud-chip-and-funding-fosun-group

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Form zertifizierter Module, Eingang in industrielle Anwendungen. Im Januar 2018 konnte Espressif die Auslieferung seines 100 Millionsten SoCs verkünden.³

Natürlich hat Espressif längst weitere Bausteine auf seiner Roadmap doch muss taktisch klug überlegt werden, welche Funktionen realisiert werden können, ohne finanzielle und technische Ressourcen des Unternehmens über Gebühr zu strapazieren. Unter dieser Prämisse ist der ESP32-S2 zu verstehen, der gerade mit einer Pressemeldung⁴ vorgestellt wurde und zunächst einmal wenig spektakulär klingt: Nur ein Prozessorkern statt zwei, Bluetooth entfällt und eine integrierte Speicherausstattung, die nur noch spartanisch zu nennen ist.

Man sollte aber einen genaueren Blick in das Innenleben des SoCs werfen, die Innovationen sind zwar nicht „ground breaking“ aber pragmatisch und verhelfen dem Espressif-Portfolio zu einer vernünftigen Erweiterung mit dem Potential, neue Anwendungen zu erobern.

Tags: *espressif, esp32, esp32-s2, esp32-idf, rtos, iot, internet of things, industry 4.0,*

³ Siehe: https://www.espressif.com/en/media_overview/news/espressif-achieves-100-million-target-iot-chip-shipments

⁴ Siehe <https://www.espressif.com/en/news/espressif-announces-%E2%80%A8esp32-s2-secure-wi-fi-mcu>

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Der neue Chip ESP32-S2 alias „Chip 7“

Augenfälligste Veränderung ist das mit 7x7mm größere QFN-Gehäuse, das jetzt Platz für 56 Anschlüsse bietet und damit immerhin 43 GPIOs (gegenüber 34 beim ESP32-DxWD) realisiert. Die GPIOs sind über eine programmierbare Matrix mit internen Funktionsbereichen verschaltet, wobei manche Funktionen (wie etwa UARTs) beliebig zugeordnet werden können, andere (wie etwa ADC- oder die Touch-Anschlüsse) festgelegt sind. Da es auch bei 56 GPIOs weniger physikalische Pins als interne Signale gibt, konkurrieren die zur Verfügung stehenden Funktionen um Hardwareanschlüsse nach außen und dies erfordert entsprechende Abwägungen bei der Anwendungsentwicklung.

14 der GPIOs sind dem neuen kapazitiven Touch-Sensor-Interface zugeordnet, das störungsarme und sogar wasserfeste Berührungseingaben erlaubt und für Geräte wie POS-Terminals oder HMI-Devices vorgesehen ist. Daneben gibt es zwei 12-bit ADCs, zwei 8-bit DACs, vier SPI-, zwei UART-, zwei I2C-Schnittstellen und eine IR-Empfängerschnittstelle. Neu ist das USB-OTG-Interface mit Full-Speed Unterstützung (12 Mbit/s). Zwei LCD-Controller mit 8 bit bzw. bis zu 16bit und ein DVP-Kameraport können alternativ zu SPI- bzw. I2S Hardwareressourcen aktiviert



Abbildung 2: Der ESP32-S2 wurde ursprünglich unter dem Codenamen Chip 7 geführt

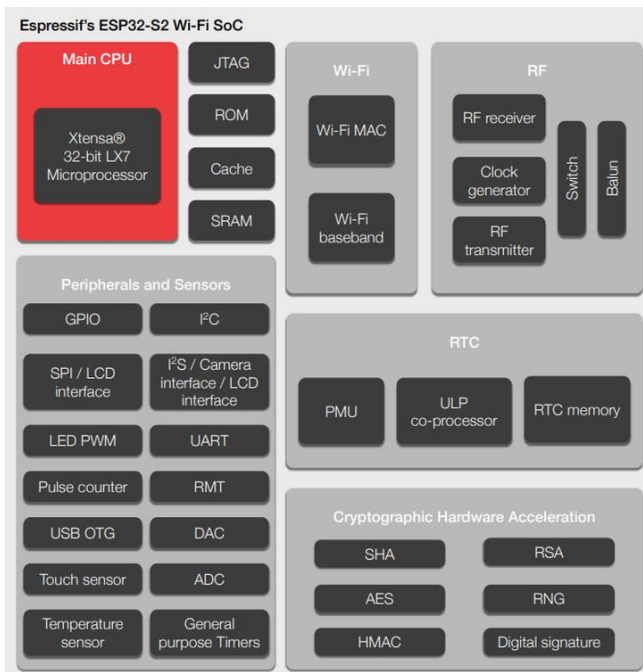


Abbildung 3: Blockdiagramm des ESP32-S2

werden.

Neben den mehr oder weniger frei verschaltbaren GPIO-Pins gibt es natürlich auch fest verdrahtete Pins wie Spannungsersorgungs- und Quarzanschlüsse oder das JTAG-Interface.

Der neue Xtensa LX7 Kern

Während in vergleichbaren Mikrocontrollern fast ausnahmslos ARM-Architekturen verbaut sind, hat Espressif von Anfang an auf Tensilica⁵-Cores gesetzt. So wurde im ESP8266 der mit 160 MHz getaktete xtensa LX106 eingesetzt und im ESP32-DxWD der Doppelkern-xtensa LX6, getaktet mit maximal 240 MHz. Im neuen ESP32-S2 nun ging man wieder auf eine Single-Core Architektur zurück, integrierte aber den neueren und etwas leistungsfähigeren LX7-Kern. Damit verliert man natürlich die Möglichkeit echt nebenläufiger Prozesse⁶, profitiert aber immerhin von den Verbesserungen im LX7-Design.

⁵ Tensilica wurde 2013 von Cadence übernommen und firmiert heute unter dem Namen Cadence IP, siehe <https://de.wikipedia.org/wiki/Tensilica>

⁶ Siehe: <https://techtutorialsx.com/2017/05/16/esp32-dual-core-execution-speedup/>

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Tensilica existiert nicht mehr als Unternehmen, da es 2013 von Cadence Design Systems übernommen wurde, benennt aber weiterhin die ursprüngliche Prozessorarchitektur, die heute von Cadence IP gepflegt und weiterentwickelt wird.

In die neue LX7⁷ Prozessorplattform eingeführt wurde auch der aktuelle „Vision P6“-DSP für die Bild- und CNN-Verarbeitung sowie der neuen „Fusion G3“ DSP für allgemeine Fest- und Gleitkommaanwendungen. Man darf gespannt sein, wie weit Espressif das alles implementiert hat und mit einem neuen Repository (ESP-IDF 4.0) unterstützt. Gerade die beschleunigte Bild- und CNN-Verarbeitung liefert da einige Hinweise in Bezug auf Referenzsysteme wie ESP-EYE und ESP-WHO.

Neben weiteren Innovationen zur Sensorfusion steigert der Xtensa LX7 die üblichen Steuerungsleistungs-Benchmarks um mehr als 15% und vereinfacht die SoC-Einbindung durch zahlreiche architektonische Verbesserungen. Dazu gehört ein neuer integrierter DMA-Controller (iDMA), der das AMBA AXI4-Protokoll⁸ umfassender unterstützt und damit die Integration von Tensilica-Prozessoren in Anwendungsprozessoren, Schnittstellen-IP und den zugehörigen komplexen Verbindungsstrukturen vereinfacht.

Den integrierten RAM- und ROM-Speicher hat Espressif bei seinem neuen SoC erheblich zusammengestrichen – aus den 520 kByte SRAM wurden beim S2 320kByte und aus 448kByte ROM bleiben noch 128 kByte zum Booten und für Core-Funktionen. Allerdings wurde die Möglichkeit zur Anbindung externen FLASH- und SRAM-Speichers (PSRAM und SPI NORFLASH) erheblich erweitert, es können jetzt von beiden Speicherarten bis zu 1GByte extern verwendet werden.

Time-of-Flight oder 802.11mc

Mit dem ESP32-S2 adressiert Espressif vor allem Smart-Home-Anwendungen, also Produkte wie steuerbare Leuchtmittel, Türschlösser, Steckdosen, Haushalts- und Küchengeräte aber auch Video-Streaming-Anwendungen, einfache Überwachungskameras etwa. Da für dieses Anwendungsfeld fast ausschließlich WiFi gebraucht wird, hat Espressif beim S2 die Bluetooth Funktionalität entfernt.

Zwar hat auch der ESP32-DxWD nur ein HF-Frontend und kann WiFi und BT nicht wirklich gleichzeitig betreiben, doch ist es dank einem ausgeklügelten Multiplexverfahren möglich, quasi-simultan beide Übertragungswege zu nutzen. Diese Ausstattung nutzt beispielsweise ESP-Touch⁹, um WiFi-Geräte in der Erstkonfiguration mittels BT-Verbindung zu iOS oder Android-Apps parametrisieren zu können.

Weiterhin arbeitet das HF-Frontend beim S2 nur im 2.4 GHz-Band (802.11 b/g/n) mit maximal 150 Mbit/s, hat aber einige Erweiterungen vor allem des 802.1n Standards implementiert. Ein Dual-Band Chip steht bei Espressif auf der Entwicklungs-Roadmap und wurde für Ende 2019 avisiert, doch gibt es bislang noch keine verbindliche Angabe zum Erscheinungstermin.

Die HF-Sendeleistung des S2-Frontends ist jetzt justierbar, was Optionen für das Power-Management eröffnet, denn Sendeoperationen gehören mit deutlich über 100mA Stromverbrauch zu den Energiefressern von IoT-

⁷ Siehe: <https://ip.cadence.com/ipportfolio/tensilica-ip/xtensa-customizable#lx7-features>

⁸ Siehe: https://en.wikipedia.org/wiki/Advanced_Microcontroller_Bus_Architecture

⁹ Siehe: <https://www.espressif.com/en/products/software/esp-touch/resources>

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Anwendungen. Das neue HF-Frontend verfügt zudem über eingebaute Kalibrierroutinen und vereinfacht damit Test- und Zulassungsroutinen der mit dem Chip ausgestatteten Geräte.

Zur Verbesserung der Übertragungsqualität unterstützt der ESP32-S2 Antenna-Diversity – es können 2 Antennen über einen externen HF-Schalter angeschlossen werden, die durch ihre jeweils unterschiedliche Raumlage unterschiedliche Signalstärken und damit Übertragungsqualitäten liefern. Über sein RSSI¹⁰ Signal entscheidet sich der ESP32-S2 für die jeweils aktuell „bessere“ Antenne und schaltet mittels GPIO diese Antenne an seinen HF-Eingang¹¹.

Wichtig für viele Anwendungen im Bereich IoT und Home Automation ist eine Möglichkeit, topografische Positionen in Bezug auf Accesspoints innerhalb von Gebäuden zu ermitteln, um damit eine Indoor-Navigation zu realisieren. Und zu diesem Zweck wurde jetzt das Protokoll 802.11mc implementiert, das sog. Fine Time Measurements (=FTM) der Round Trip Time (=RTT) ermöglicht, zusammengefasst unter dem Begriff Time-of-Flight (ToF) und zwingende Voraussetzung für die halbwegs genaue Positionsbestimmung innerhalb von Gebäuden¹².

Bislang gab es 2 unterschiedliche Methoden, die Entfernung eines WiFi-Nodes zum nächsten Accesspoint zu bestimmen. Beide sind recht unzuverlässig, sollen aber hier kurz aufgeführt werden: Die naheliegende Methode setzt auf die Empfangsfeldstärke, den RSSI-Wert, der mit steigender Entfernung invers quadratisch abnimmt. Leider unterliegt der RSSI-Wert noch zahlreichen anderen Einflüssen von ähnlicher Größenordnung, wodurch sich die Beziehung Entfernung zu RSSI eher als Wolke zeigt denn als saubere, liegende Parabel. Die zweite Methode nutzt die CSI-Werte (= Channel State Information) der empfangenen Präambel.

Enthalten sind, aufgrund der OFDM Modulation, 56 komplexe Werte, in denen sich mehr Informationen über die Entfernung bzw. Übertragungsqualität befinden als im simplen RSSI-Wert. Allerdings zeigt die Praxis, dass sich auch damit keine zuverlässige Navigation realisieren lässt.

Nun also die Methode aus dem 802.11mc-Standard mit Messung der Round-Trip-Time, also der Zeit die benötigt wird, ein Paket vom AP zum Node und wieder zurückzusenden. Elegant an dieser Methode ist, dass die RTCs von AP und Node nicht synchronisiert werden müssen, weil nur jeweilige Differenzzeiten in die Berechnung eingehen. Die erzielbare Navigationsgenauigkeit liegt bei immerhin 1 Meter. Wer sich genauer

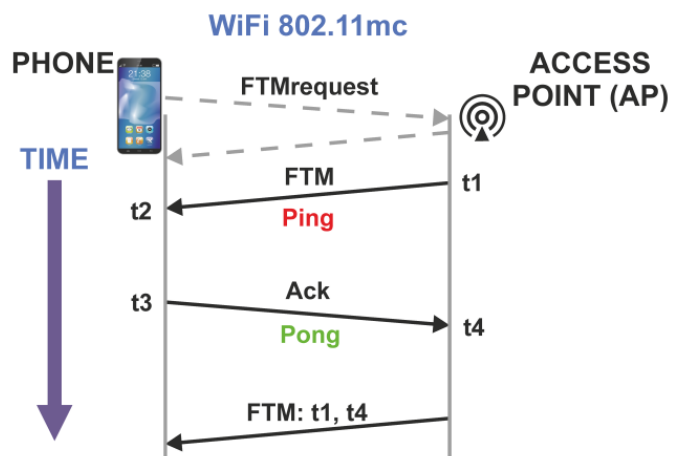


Abbildung 4: Kommunikationsablauf bei 802.11mc – die doppelte Entfernung zwischen Client und AP errechnet sich zu $((t4-t1)-(t3-t2))*c$.

¹⁰ RSSI – Received Signal Strength Indication

¹¹ Switched-Sector- oder Switched-Beam Antennen bieten eine interessante Option zur Erhöhung der HF-Übertragungsqualität und in diesem Science-Direct-Artikel wurde das Prinzip mit 3 geschalteten Antennen an einem Espressif Pico-D4 Chip vorgestellt: <https://www.sciencedirect.com/science/article/pii/S2468067217300871>

¹² Siehe: http://www.winlab.rutgers.edu/~gruteser/papers/ftm_mobicom.pdf

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

damit beschäftigen möchte, findet im Artikel „Fine Time Measurement Round Trip Time“¹³ von Berthold Horn, Professor für Computer Science am MIT, das Prinzip verständlich dargelegt.

Ultra-low-Power Prozessor mit Risc-V Architektur

Der ULP-Coprozessor kann verwendet werden, um die Funktionen der CPU im normalen Arbeitsmodus zu erweitern oder im Ruhezustand, als Stammhirn quasi, die CPU rudimentär zu ersetzen. Der ULP-Coprozessor und der RTC-Speicher bleiben dabei im Tiefschlafmodus aktiv und so können (Assembler-)Programme für den ULP-Coprozessor, abgelegt im langsamen RTC-Speicher, im Tiefschlafmodus auf RTC-GPIO, RTC-Peripheriegeräte, RTC-Timer und interne Sensoren zuzugreifen.

Der ULP-Coprozessor des ESP32-DxWD wurde bereits in einem früheren Artikel¹⁴ beschrieben, daher sollen

Betriebsart	Beschreibung	Stromverbrauch (typ.)
Modem-Sleep	CPU ist eingeschaltet	240 MHz
		160 MHz
		Std: 80 MHz
Light Sleep		450uA
Deep-Sleep	ULP aktiv	220µA
	ULP Sensor-Monitored Pattern	7µA@1% Duty
	RTC Timer + RTC Speicher	10µA
	Nur RTC Timer	5µA
Power Off	Chip ausgeschaltet, CHIP_PU Low	0,1 µA

Tabelle 1: Stromverbrauch unter verschiedenen Betriebsbedingungen

hier nur wesentliche Änderungen dargestellt werden.

Der ULP Coprozessor wurde im S2 mit Risc-V Architektur implementiert, was nach Angaben von Espressif den deutlich größeren Befehlssatz „IMC Instruction Set“ ermöglicht. Er verfügt über 32 Register mit 32 bit Breite sowie 32-bit Multiplizierer/Dividierer.

Letztlich ist natürlich entscheidend, welcher Stromverbrauch durch das gesamte Power-Management des Chips realisierbar ist. Für den Stromverbrauch im „Tiefschlaf-

modus“ gibt Espressif einen Wert von 7µA an, dabei ist der Touch-Sensor mit einem Duty-Cycle von 1% aktiv (zum Aufwecken). Der ESP32-DxWD dagegen zieht unter vergleichbaren Bedingungen 100µA, insofern also eine erhebliche Reduktion des Stromverbrauchs aber notwendige Voraussetzung, um das Versprechen batteriebetriebener Geräte einzulösen.

Erweiterte Sicherheits-Features

Nachdem im April diesen Jahres Espressif durch Security-Analysten¹⁵ von der Möglichkeit der Softwaremanipulation durch einen sog. Fault Injection Exploit unterrichtet wurde, entschied sich das Unternehmen zu einem offensiven Umgang mit der Problematik, ließ den ESP32 ROM-Bootcode und seine Secure-Boot-

¹³ Siehe: <http://people.csail.mit.edu/bkph/ftmrtt>

¹⁴ Siehe: <https://www.elektronikpraxis.vogel.de/ultra-low-power-management-des-esp32-fuer-wifi-iot-module-nutzen-a-738971/>

¹⁵ Siehe: https://www.espressif.com/en/news/Espressif_Security_Advisory_Concerning_Fault_Injection_and_Secure_Boot?position=1&list=gNTqHUaP8YyTcWRuS2yH10aP8iMk2TgEk0dmeSj7llw

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Eigenschaften umfangreich untersuchen, informierte Anwender und veröffentlichte Patches seines SDKs, um die FLASH Verschlüsselung bei aktiviertem Secure Boot jederzeit zu gewährleisten.

Fault Injection ist eine Methode, mit physikalischen Mitteln, z.B. mit speziellen Takt- oder Versorgungsspannungsfrequenzen, ein Prozessorsystem in den Crash zu zwingen, um damit Sicherheitslücken zu öffnen, die es erlauben, eigenen Code auszuführen. Da diese Art des Hackens direkten Zugang zur Hardware erfordert, ist das Schadenspotential geringer als bei Exploits über's Netz aber natürlich unangenehm für Hersteller und Nutzer, da Schwächen im Security-Konzept zutage treten.

Im Falle der ESP32-CPU bestand durch den Fault-Injection-Angriff die Möglichkeit, die Verifikation des Secure Boot Digest beim Starten zu umgehen und eigenen Programmcode auszuführen. Die Abwehrmaßnahme bestand daher folglich darin, für eine lückenlose und kryptographisch „harte“ Code-Verschlüsselung im FLASH-Speicher zu sorgen und dies entsprechend in der Firmware umzusetzen.

Diese praktischen Erfahrungen sind natürlich auch in das Sicherheitskonzept des neuen ESP32-S2 eingeflossen: Speicherinhalte der externen FLASH und SRAM-Speicher können jetzt mit AES256-XTS verschlüsselt werden, die Keys dafür finden Platz im 4kbit großen eFuse und sind nicht durch Software-Zugriffe erreichbar. Damit lässt sich nicht autorisiertes Lesen von Anwendungscode oder -daten verhindern. Das Secure-Boot Feature basiert auf einem Hardware-Root-of-Trust¹⁶ und stellt sicher, dass nur eine RSA-PPS signierte Firmware gebootet werden kann.

Ein HMAC Modul (HMAC = Keyed-Hash Message Authentication Code¹⁷) kann für Anwendungssoftware nicht zugängliche MAC Keys verwenden, um damit SHA-HMAC Signaturen zur Identitätsverifizierung oder andere Zwecke generieren.

Eine Digitale Signatur Peripherieeinheit schließlich kann für Anwendungssoftware nicht zugängliche Secure Keys verwenden, um damit MAC Signaturen zur Identitätsverifizierung vorzunehmen.

¹⁶ Siehe: https://de.wikipedia.org/wiki/Trusted_Computing

¹⁷ Siehe https://de.wikipedia.org/wiki/Keyed-Hash_Message_Authentication_Code

Titel: WiFi für einen Dollar
 Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
 Datum: 16.9.2019

Entwicklungsumgebung mit CMake

Die ursprüngliche Entwicklungsumgebung für die Espressif SoCs basierte auf einem GNU Build System und war zur Ausführung auf Linux Maschinen vorgesehen, unterstützt wurden CentOS-, Ubuntu- und Debian-Distributionen. Für Windows Maschinen war es notwendig, zunächst mit MSYS2¹⁸ eine Linux-Umgebung zu schaffen, um dann in dieser Shell die Software-Entwicklungen durchzuführen.

Mit der Release 4.0 des Espressif SDKs¹⁹ ist nun CMAKE²⁰ das Standard Build-System. Damit erübrigt sich für

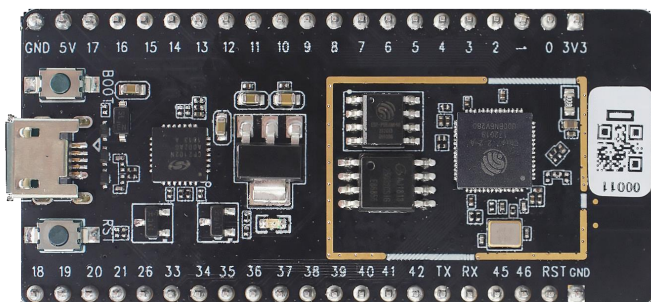


Abbildung 5: Entwicklungskit DevkitC mit dem „Chip 7“, also dem ESP32-S2.

Windows-Anwender die Einrichtung einer Linux-Umgebung wie das erwähnte MSYS2 oder Cygwin. Unter Windows sind zur Einsatzbereitschaft noch Ninja und Python 2.7 notwendig, als Editor können Eclipse oder VSCode verwendet werden²¹. Espressif bietet zudem ein Installer-File für Windows an, mit dem sich die gesamte Entwicklungsumgebung einrichten lässt-

Das ESP-IDF und andere Repositories lassen sich nun unter Windows etwas eleganter als früher mit der Git GUI verwalten, auch einzelne Branches eines Repositories können dabei ausgewählt werden.

Für den ESP32-S2 existiert aktuell (September 2019) ein erstes Beta-Repository²², im Wesentlichen eine Umsetzung des bestehenden ESP-IDF Repos auf die neue Hardware- und Prozessorbasis. Funktionen wie etwa Antenna Diversity, ToF oder USB OTG sind noch nicht realisiert, was mehr dem Beta-Zustand des neuen Chips geschuldet sein dürfte als der Softwareentwicklung. Espressif hat die Serienverfügbarkeit des ESP32-S2 für das Jahresende 2019 angekündigt und bis dahin sind wohl noch einige Designzyklen notwendig. Das in Abbildung 5 gezeigte Entwicklungsboard ist mit der heute verfügbaren Interim Chipversion (Aufdruck Chip7.2.2) bestückt und unterstützt daher folglich weder USB OTG noch 802.11mc RTT. Etwas Geduld ist also notwendig, vermutlich werden aber mit der Serienverfügbarkeit auch neue Entwicklungsboards vorgestellt und neue Anwendungen adressiert.

Und wie sieht es nun mit dem Shareholder Value von Espressif aus? Heute, am 15. September 2019, also knapp 2 Monate nach ihrem Debüt, notiert die Aktie von Espressif bei 165 Yuan, umgerechnet etwa US\$ 23,30. Ausgehend von den US\$ 9,10 immerhin mehr als eine Verdoppelung in wenigen Wochen. Auch bei den Investoren scheint das Unternehmen also großen Zuspruch zu finden.

st

¹⁸ Siehe: <https://www.msys2.org/>

¹⁹ Siehe: <https://github.com/espressif/esp-idf/tree/release/v4.0>

²⁰ Siehe: <https://cmake.org/>

²¹ Siehe: <https://cdtdoug.ca/2018/07/02/cdt-for-esp32.html>

²² Siehe: <https://github.com/espressif/esp-idf/tree/feature/esp32s2beta>

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Über den Autor

Stefan Tauschek studierte Nachrichtentechnik an der Fachhochschule München und arbeitete nach seinem Abschluss über mehrere Jahre in der Entwicklung von Multimediakomponenten, Videoverarbeitung und Streaming-Media-Verfahren.



Heute ist er Applikationsingenieur und Technologieberater beim Ingolstädter Distributor Macnica GmbH und unterstützt Industriekunden bei der Realisierung von Projekten aus dem Bereich Bildverarbeitung, Netzwerke und Industrieautomatisierung.

E-Mail: stefan.tauschek@macnica.com

Titel: WiFi für einen Dollar
Autor: Dipl.Ing. Stefan Tauschek, Macnica Europe GmbH
Datum: 16.9.2019

Inhaltsverzeichnis

Der neue Chip ESP32-S2 alias „Chip 7“	3
Der neue Xtensa LX7 Kern	3
Time-of-Flight oder 802.11mc	4
Ultra-low-Power Prozessor mit Risc-V Architektur	6
Erweiterte Sicherheits-Features	6
Entwicklungsumgebung mit CMake	8
Über den Autor	9

Abbildungsverzeichnis

Abbildung 1: Espressifs CEO Teo Swee-Ann anlässlich des Börsengangs seines Unternehmens im STAR-Segment der Börse Shanghai	1
Abbildung 2: Der ESP32-S2 wurde ursprünglich unter dem Codenamen Chip 7 geführt.....	3
Abbildung 3: Blockdiagramm des ESP32-S2	3
Abbildung 4: Kommunikationsablauf bei 802.11mc – die doppelte Entfernung zwischen Client und AP errechnet sich zu $((t_4-t_1)-(t_3-t_2))*c$	5
Abbildung 5: Entwicklungskit DevkitC mit dem „Chip 7“, also dem ESP32-S2.	8